

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294452

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

H01L 29/778
21/338
29/812

識別記号

F I

H01L 29/80

H

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21) 出願番号

特願平9-104609

(22) 出願日

平成9年(1997)4月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 今永 俊治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 河合 弘治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

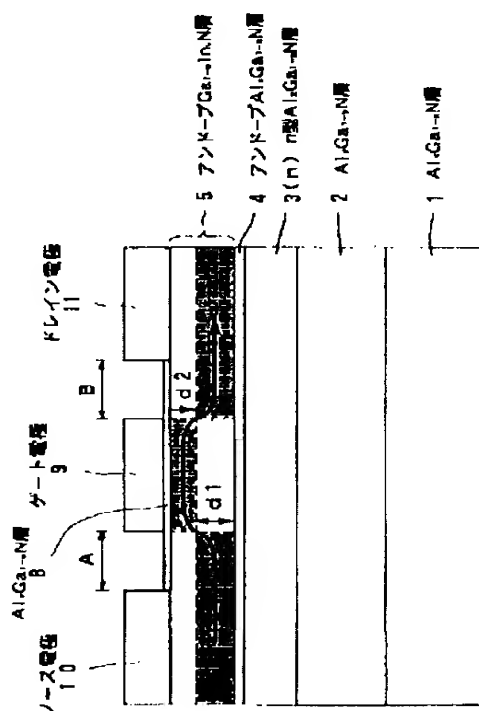
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 ヘテロ接合電界効果トランジスタ

(57) 【要約】

【課題】 構造の最適化により、GaN系半導体を用いた素子本来の性能を発揮することができ、高性能化を図ることができるヘテロ接合電界効果トランジスタを提供する。

【解決手段】 基層としての $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($1 \geq x \geq 0$) 層1、バリア層としての $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($1 \geq y > 0$) 層2、電子供給層としてのn型 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($1 \geq z \geq 0$) 層3、電子走行層としてのアンドープ $\text{Ga}_{1-u}\text{In}_u\text{N}$ ($1 \geq u > 0$) 層5およびゲート絶縁膜としての $\text{Al}_v\text{Ga}_{1-v}\text{N}$ ($1 \geq v > 0$) 層8を順次積層し、この $\text{Al}_v\text{Ga}_{1-v}\text{N}$ 層8上にゲート電極9を設けるとともに、アンドープ $\text{Ga}_{1-u}\text{In}_u\text{N}$ 層5上にソース電極10およびドレイン電極11を設け、MIS構造およびHEMT構造を併有するGaN系FETを構成する。



【特許請求の範囲】

【請求項1】 $Al_x Ga_{1-x} N$ (ただし、 $1 > x > 0$) からなる基層と、
上記基層上の $Al_y Ga_{1-y} N$ (ただし、 $1 \geq y > 0$) からなるバリア層と、
上記バリア層上の $Al_z Ga_{1-z} N$ (ただし、 $1 \geq z > 0$) からなる電子供給層と、
上記電子供給層上の $Ga_{1-u} In_u N$ (ただし、 $1 \geq u \geq 0$) からなる電子走行層と、
上記電子走行層上の $Al_v Ga_{1-v} N$ (ただし、 $1 \geq v > 0$) からなるゲート絶縁膜とを有することを特徴とするヘテロ接合電界効果トランジスタ。

【請求項2】 上記電子供給層の不純物濃度と厚さとの積が $5 \times 10^{18} [cm^{-3}] [nm]$ 以上 $1 \times 10^{21} [cm^{-3}] [nm]$ 以下であることを特徴とする請求項1記載のヘテロ接合電界効果トランジスタ。

【請求項3】 上記電子供給層の不純物濃度と厚さとの積が $5 \times 10^{19} [cm^{-3}] [nm]$ 以上 $5 \times 10^{20} [cm^{-3}] [nm]$ 以下であることを特徴とする請求項1記載のヘテロ接合電界効果トランジスタ。

【請求項4】 上記電子走行層の厚さが $1 nm$ 以上 $15 nm$ 以下であることを特徴とする請求項1記載のヘテロ接合電界効果トランジスタ。

【請求項5】 上記電子走行層の厚さが $2 nm$ 以上 $10 nm$ 以下であることを特徴とする請求項1記載のヘテロ接合電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ヘテロ接合電界効果トランジスタに関し、特に、 GaN 系半導体を用いたヘテロ接合電界効果トランジスタに関する。

【0002】

【従来の技術】 GaN の飽和電子速度は約 $2.0 \times 10^7 cm/s$ と Si 、 $GaAs$ および SiC より大きく、破壊電界は約 $5 \times 10^6 V/cm$ とダイヤモンドに次ぐ大きさを有している。このような理由により、 GaN 系半導体は、高周波、高温、大電力用半導体素子の材料として大きな可能性を有することが予想されてきた。そして、近年、 GaN 系電界効果トランジスタ(FET)の試作例が、いわゆる高電子移動度トランジスタ(High Electron Mobility Transistor, HEMT)を含めていくつか報告されている(例えば、Appl. Phys. Lett. 62(15), 1786(1993)、Appl. Phys. Lett. 65(9), 1121(1994)、Appl. Phys. Lett. 69(6), 794(1996)およびAppl. Phys. Lett. 68(20), 2849(1996))。

【0003】図9は、従来の GaN 系HEMTを示す(Appl. Phys. Lett. 68(20), 2849(1996))。図9に示すように、この GaN 系HEMTにおいては、サファイア基板101上に AlN バッファ層102、アンドープ GaN 層103、 $Al_{0.16}Ga_{0.84}N$ 層104、電子走行

層(チャネル層)としてのアンドープ GaN 層105、スペーサ層としての $Al_{0.16}Ga_{0.84}N$ 層106、電子供給層としての n 型 $Al_{0.16}Ga_{0.84}N$ 層107、バリア層としての $Al_{0.16}Ga_{0.84}N$ 層108およびキャップ層としての n 型 $Al_{0.06}Ga_{0.94}N$ 層109が順次積層されている。 n 型 $Al_{0.06}Ga_{0.94}N$ 層109上に、ゲート電極110、ソース電極111およびドレイン電極112が設けられている。ここで、ゲート電極110は n 型 $Al_{0.06}Ga_{0.94}N$ 層109とショットキー接触し、ソース電極111およびドレイン電極112は n 型 $Al_{0.06}Ga_{0.94}N$ 層109とオーミック接触している。

【0004】

【発明が解決しようとする課題】しかしながら、本発明者の知見によれば、上述の従来の GaN 系HEMTは、構造の最適化が不十分であり、 GaN 系半導体を用いた素子本来の性能を十分に発揮することができなかった。

【0005】したがって、この発明の目的は、構造の最適化により、 GaN 系半導体を用いた素子本来の性能を発揮することができ、高性能化を図ることができるヘテロ接合電界効果トランジスタを提供することにある。

【0006】

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。その概要について説明すると次の通りである。

【0007】本発明者は、 GaN 系FETにおいて構造の最適化を図るべく種々検討を行った結果、図1に示すような、いわばMIS(Metal-Insulator-Semiconductor)構造およびHEMT構造を併有する GaN 系FETを案出した。ここで、図1はフラットバンド条件におけるエネルギーバンド図、特に伝導帯を示す。

【0008】図1に示すように、この GaN 系FETにおいては、基層としての $Al_x Ga_{1-x} N$ 層1(ただし、 $1 > x > 0$)、バリア層としての $Al_y Ga_{1-y} N$ 層2(ただし、 $1 \geq y > 0$)、電子供給層としての n 型 $Al_z Ga_{1-z} N$ 層3(ただし、 $1 \geq z \geq 0$)、スペーサ層としてのアンドープ $Al_z Ga_{1-z} N$ 層4(ただし、 $1 \geq z \geq 0$)、電子走行層としてのアンドープ $Ga_{1-u} In_u N$ 層5(ただし、 $1 \geq u \geq 0$)、スペーサ層としてのアンドープ $Al_z Ga_{1-z} N$ 層6(ただし、 $1 \geq z \geq 0$)、電子供給層としての n 型 $Al_z Ga_{1-z} N$ 層7(ただし、 $1 \geq z \geq 0$)およびゲート絶縁膜としての $Al_v Ga_{1-v} N$ 層8(ただし、 $1 \geq v > 0$)が順次積層されている。ここで、電子供給層としての n 型 $Al_z Ga_{1-z} N$ 層3、7から、電子走行層としてのアンドープ $Ga_{1-u} In_u N$ 層5に電子が供給され、2次元電子ガス(2DEG)が形成される。これらの層の伝導帯には、そのヘテロ接合界面に、図1に示すような不連続が存在する。

【0009】本発明者は、図1に示すような構造を有す

るGa_{1-x}N系FETにおいて、一次元縦構造の電荷制御のシミュレーションをポアソン方程式とシュレディンガー方程式とを自己無撞着に解くことにより行い、 G_m （相互コンダクタンス）- V_{gs} （ゲート電圧）特性および f_T （遮断周波数）- V_{gs} 特性を求めた。ただし、温度 T は300K、ショットキーバリア高さ V_{settky} は1.1eV、飽和電子速度 v_s は 2.0×10^7 cm/sとした。各層の組成は、 $Al_x Ga_{1-x} N$ 層1の $x=0$ 、 $Al_y Ga_{1-y} N$ 層2の $y=0.4$ 、 n 型 $Al_z Ga_{1-z} N$ 層3、アンダー $Al_z Ga_{1-z} N$ 層4、アンダー $Al_z Ga_{1-z} N$ 層6および n 型 $Al_z Ga_{1-z} N$ 層7の $z=0.15$ 、アンダー $Ga_{1-u} In_u N$ 層5の $u=0.28$ 、 $Al_v Ga_{1-v} N$ 層8の $v=1$ とした。このとき、これらの層のヘテロ接合界面に存在するエネルギー不連続は $\Delta E_{c1}=0.639$ eV、 $\Delta E_{c2}=0.413$ eV、 $\Delta E_{c3}=0.625$ eV、 $\Delta E_{c4}=1.554$ eVである。各層の厚さは、 $Al_x Ga_{1-x} N$ 層1は50nm、 $Al_y Ga_{1-y} N$ 層2は30nm、 n 型 $Al_z Ga_{1-z} N$ 層3は2nm、アンダー $Al_z Ga_{1-z} N$ 層4は1nm、アンダー $Ga_{1-u} In_u N$ 層5は5nm、アンダー $Al_z Ga_{1-z} N$ 層6は1nm、 n 型 $Al_z Ga_{1-z} N$ 層7は2nm、 $Al_v Ga_{1-v} N$ 層8は3nmである。また、 n 型 $Al_z Ga_{1-z} N$ 層7のドーピング濃度 $dp_1=1.0 \times 10^{19}$ cm⁻³、 n 型 $Al_z Ga_{1-z} N$ 層3のドーピング濃度 $dp_2=5.0 \times 10^{16}$ cm⁻³とした。 L_g （ゲート長）=0.25 μ mの場合について G_m - V_{gs} 特性および f_T - V_{gs} 特性を求めた結果をそれぞれ図2および図3における点線で示す。また、そのときの伝導帯の様子を図4に示す。このとき、 $Al_v Ga_{1-v} N$ 層8上に設けられるゲート電極（図示せず）の直下におけるアンダー $Ga_{1-u} In_u N$ 層5内の電子の面密度 C_s は 5.0×10^{12} cm⁻²である。

【0010】図2および図3において点線で示す曲線からわかるように、 $V_{gs} \approx -0.3$ Vで G_m および f_T ともに急激に低下する。検討の結果、この原因は、図4においても見られるように、 V_{gs} が大きくなると、 $Al_v Ga_{1-v} N$ 層8側（表面側）の電子供給層、すなわち n 型 $Al_z Ga_{1-z} N$ 層7の伝導帯が低下することにより、この n 型 $Al_z Ga_{1-z} N$ 層7に対する電荷の出し入れが増加し、電子走行層であるアンダー $Ga_{1-u} In_u N$ 層5の電荷の変化が少なくなるためであることがわかった。

【0011】そこで、本発明者は、この点を改良し、より一層の構造の最適化を図るべく検討を進めた結果、この発明を案出するに至ったものである。

【0012】すなわち、上記目的を達成するために、この発明によるヘテロ接合電界効果トランジスタは、 $Al_x Ga_{1-x} N$ （ただし、 $1 \geq x \geq 0$ ）からなる基層と、基層上の $Al_y Ga_{1-y} N$ （ただし、 $1 \geq y > 0$ ）から

なるバリア層と、バリア層上の $Al_z Ga_{1-z} N$ （ただし、 $1 \geq z > 0$ ）からなる電子供給層と、電子供給層上の $Ga_{1-u} In_u N$ （ただし、 $1 \geq u \geq 0$ ）からなる電子走行層と、電子走行層上の $Al_v Ga_{1-v} N$ （ただし、 $1 \geq v > 0$ ）からなるゲート絶縁膜とを有することを特徴とするものである。

【0013】この発明において、電子供給層の不純物濃度と厚さとの積（以下「不純物濃度×厚さ積」という）は、一般的には、 5×10^{18} [cm⁻³] [nm]以下 1×10^{21} [cm⁻³] [nm]以下であり、好適には、 5×10^{19} [cm⁻³] [nm]以上 5×10^{20} [cm⁻³] [nm]以下である。また、電子走行層の厚さは、一般的には、1nm以上15nm以下であり、好適には、2nm以上10nm以下である。

【0014】上述のように構成されたこの発明によれば、構造の最適化により、すなわち、ゲート絶縁膜と電子走行層との間には電子供給層が設けられておらず、電子走行層とバリア層との間にだけ電子供給層が設けられていることにより、ゲート電圧が大きくなったときに、電子走行層の電荷の変化が少なくなるのを防止することができ、 G_m 、 f_T が急激に低下するのを防止することができる。

【0015】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。

【0016】この発明の一実施形態においては、図1に示すGa_{1-x}N系FETにおいて、ゲート絶縁膜としての $Al_v Ga_{1-v} N$ 層8の直ぐ下の電子供給層、すなわち n 型 $Al_z Ga_{1-z} N$ 層7を、スペーサ層としてのアンダー $Al_z Ga_{1-z} N$ 層6とともに除く。このようにすると、 $Al_v Ga_{1-v} N$ 層8上に設けられるゲート電極（図示せず）と電子走行層、すなわちアンダー $Ga_{1-u} In_u N$ 層5との距離が近くなるので、ゲート電極によるこのアンダー $Ga_{1-u} In_u N$ 層5の電子の制御を効率的に行うことができ、 G_m を大きくすることができる。このときのGa_{1-x}N系FETを図5に示す。

【0017】すなわち、図5に示すように、この一実施形態によるGa_{1-x}N系FETにおいては、基層としての $Al_x Ga_{1-x} N$ 層1（ただし、 $1 \geq x \geq 0$ ）、バリア層としての $Al_y Ga_{1-y} N$ 層2（ただし、 $1 \geq y > 0$ ）、電子供給層としての n 型 $Al_z Ga_{1-z} N$ 層3（ただし、 $1 \geq z \geq 0$ ）、スペーサ層としてのアンダー $Al_z Ga_{1-z} N$ 層4（ただし、 $1 \geq z \geq 0$ ）、電子走行層としてのアンダー $Ga_{1-u} In_u N$ 層5（ただし、 $1 \geq u \geq 0$ ）およびゲート絶縁膜としての $Al_v Ga_{1-v} N$ 層8（ただし、 $1 \geq v > 0$ ）が順次積層されている。

【0018】図6はこのGa_{1-x}N系FETの具体的な構造例を示す。図6において、 $Al_v Ga_{1-v} N$ 層8上にゲート電極9が設けられているとともに、アンダー $Ga_{1-u} In_u N$ 層5の電荷の変化が少なくなるためであることがわかった。

【0023】さらに、図6からわかるように、電子走行層としてのアンドープGa_{1-x}In_xN層5の下に電子

【0026】具体的には、ゲート電極9とソース電極10との間およびゲート電極9とドレイン電極11との間に生ずる寄生抵抗を 500Ω （ただし、 $W=50\mu\text{m}$ 、 $L_{\text{eg}}=0.5\mu\text{m}$ ）以下にするためには、n型Al_{1-x}Ga_{1-x}N層3の不純物濃度×厚さ積を $5\times 10^{18}[\text{cm}^{-3}][\text{nm}]$ 以上にする必要がある。一方、n型Al_{1-x}Ga_{1-x}N層3の電位低下を0.9V（ただし、n型A

1x Ga1-x N層3の厚さWを1nmとする)以下にするためには、このn型Alx Ga1-x N層3の不純物濃度×厚さ積を $1 \times 10^{21} [\text{cm}^{-3}] [\text{nm}]$ 以下にする必要がある。

【0027】また、ゲート電極9とソース電極10との間およびゲート電極9とドレイン電極11との間に生ずる寄生抵抗を 50Ω (ただし、 $W=50 \mu\text{m}$ 、 $L_{\text{sg}}=0.5 \mu\text{m}$) 以下にするためには、n型Alx Ga1-x N層3の不純物濃度×厚さ積を $5 \times 10^{19} [\text{cm}^{-3}] [\text{nm}]$ 以上にしない必要がある。一方、n型Alx Ga1-x N層3の電位低下を 0.5V (ただし、n型Alx Ga1-x N層3の厚さWを1nmとする) 以下にするためには、このn型Alx Ga1-x N層3の不純物濃度×厚さ積を $5 \times 10^{20} [\text{cm}^{-3}] [\text{nm}]$ 以下にする必要がある。

【0028】以上のように、この一実施形態によれば、構造の最適化により、すなわち、電子走行層としてのアンドープGa1-u Inu N層5とバリア層としてのAlv Ga1-v N層2との間にだけ電子供給層としてのn型Alx Ga1-x N層3が設けられており、ゲート絶縁膜としてのAlv Ga1-v N層8と電子走行層としてのアンドープGa1-u Inu N層5との間には電子供給層が設けられていないことにより、Alv Ga1-v N層8とアンドープGa1-u Inu N層5との間にも電子供給層が設けられている場合のように、ゲート電圧 V_{gs} が大きくなったときにその電子供給層に対する電荷の出し入れが増加し、アンドープGa1-u Inu N層5の電荷の変化が少なくなるのを防止することができ、これによる G_{m} および f_{r} の劣化を防止することができる。また、このゲート電極9側の電子供給層が設けられていないことにより、ゲート電極9とアンドープGa1-u Inu N層5との間の距離が近くなるので、全体的に高い G_{m} を得ることができる。そして、アンドープGa1-u Inu N層5の厚さWを1nm以上15nm以下、好適には2nm以上10nm以下にすることにより、ゲート電圧 V_{gs} が低い場合における G_{m} の低下を大幅に少なくすることができ、しかも寄生抵抗(チャネル抵抗)を低く保つことができる。また、電子供給層としてのn型Alx Ga1-x N層3の不純物濃度×厚さ積を $5 \times 10^{18} [\text{cm}^{-3}] [\text{nm}]$ 以上 $1 \times 10^{21} [\text{cm}^{-3}] [\text{nm}]$ 以下、好適には、 $5 \times 10^{19} [\text{cm}^{-3}] [\text{nm}]$ 以上 $5 \times 10^{20} [\text{cm}^{-3}] [\text{nm}]$ 以下とすることにより、 G_{m} および f_{r} を高くすることができる。以上により、高 G_{m} 、高 f_{r} の高周波高出力の高性能GaN系FETを実現することができる。

【0029】以上、この発明の一実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種

の変形が可能である。

【0030】例えば、上述の一実施形態において挙げた数値や構造などはあくまでも例に過ぎず、必要に応じてこれと異なる数値や構造などを用いてもよい。

【0031】また、上述の一実施形態においては、電子走行層としてInを含む層であるアンドープGa1-u Inu N層5を用いているので、このアンドープGa1-u Inu N層5中のInがゲート絶縁膜としてのAlv Ga1-v N層8に拡散してこれらのAlv Ga1-v N層8およびアンドープGa1-u Inu N層5の双方の劣化が生じることもあり得ることから、これを防止するために、Alv Ga1-v N層8とアンドープGa1-u Inu N層5との間に例えばアンドープGaNなどからなる薄いバッファ層を設けるようにしてもよい。

【0032】さらに、場合によっては、電子走行層として、アンドープGa1-u Inu N層5の代わりにドーピングしたGa1-u Inu N層を用いてもよい。

【0033】

【発明の効果】以上説明したように、この発明によるヘテロ接合電界効果トランジスタによれば、構造の最適化により、GaN系半導体を用いた素子本来の性能を発揮することができ、高性能化を図ることができる。

【図面の簡単な説明】

【図1】本発明者が検討したGaN系FETを示す略線図である。

【図2】コンピュータシミュレーションにより求めたGaN系FETの $G_{\text{m}}-V_{\text{gs}}$ 特性を示す略線図である。

【図3】コンピュータシミュレーションにより求めたGaN系FETの $f_{\text{r}}-V_{\text{gs}}$ 特性を示す略線図である。

【図4】図1に示すGaN系FETにおける伝導帯を示す略線図である。

【図5】この発明の一実施形態によるGaN系FETを示す略線図である。

【図6】この発明の一実施形態によるGaN系FETを示す断面図である。

【図7】図5に示すGaN系FETにおける伝導帯を示す略線図である。

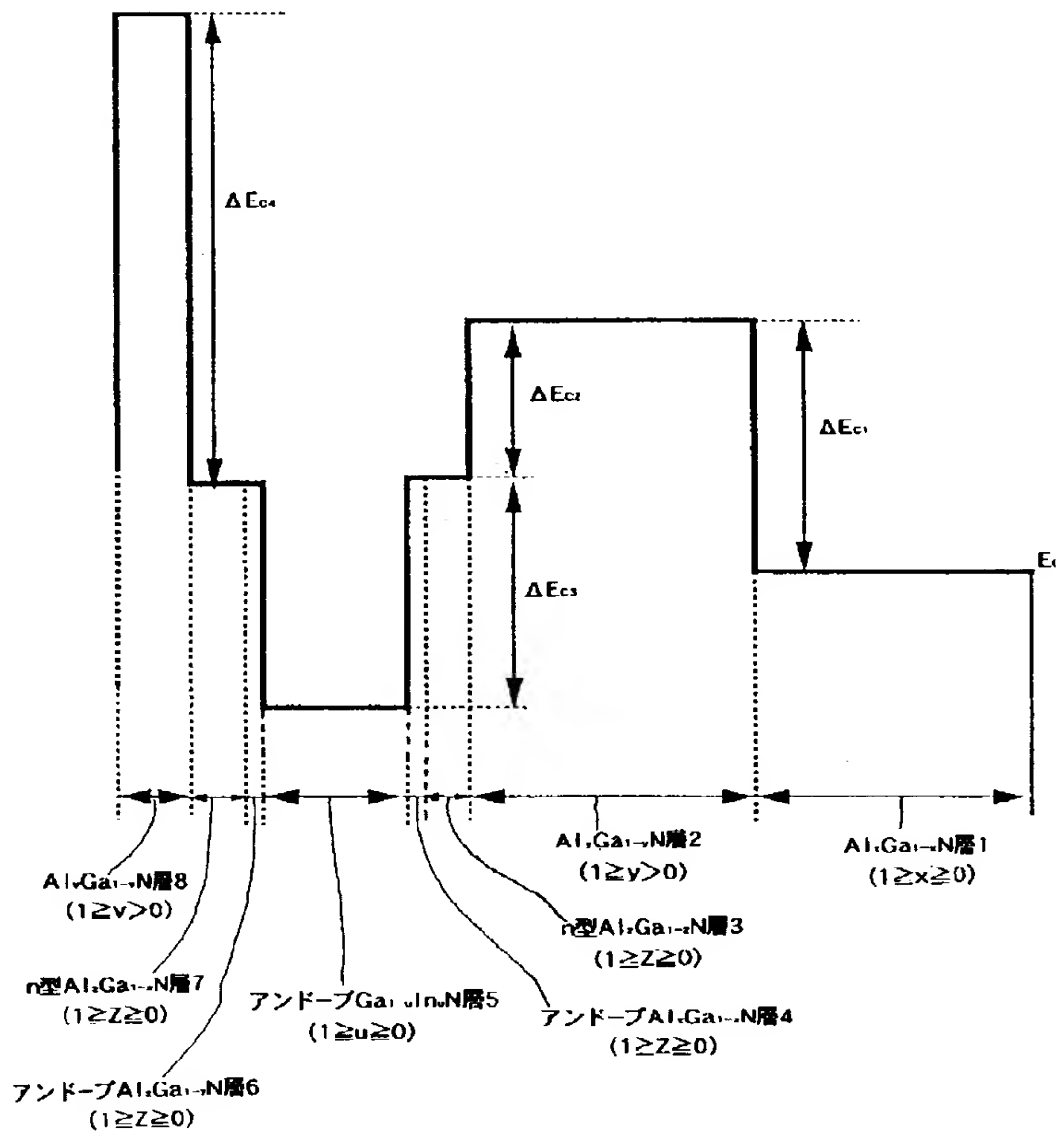
【図8】この発明の一実施形態によるGaN系FETにおける、二次元電子ガスの中心の V_{gs} 依存性を示す略線図である。

【図9】従来のGaN系HEMTを示す断面図である。

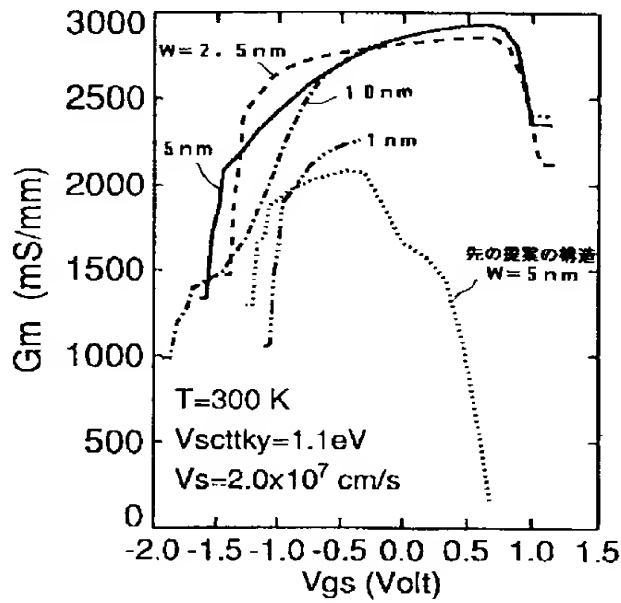
【符号の説明】

1・・・Alx Ga1-x N層、2・・・Alv Ga1-v N層、3、7・・・n型Alx Ga1-x N層、4、6・・・アンドープAlx Ga1-x N層、5・・・アンドープGa1-u Inu N層、8・・・Alv Ga1-v N層、9・・・ゲート電極、10・・・ソース電極、11・・・ドレイン電極

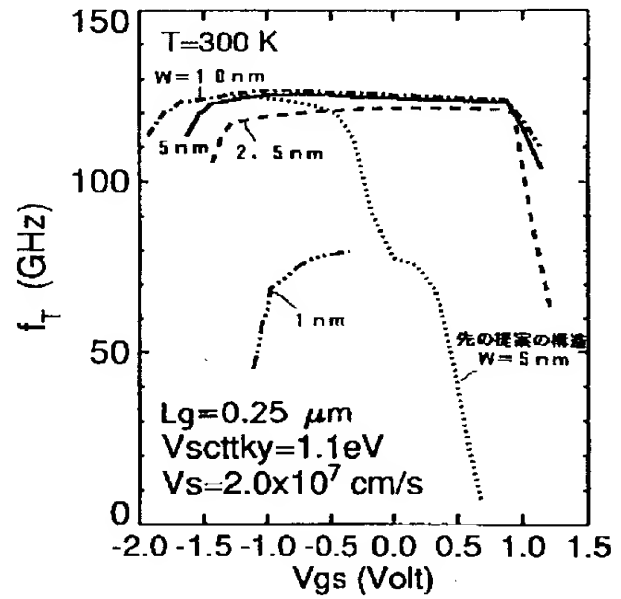
【図1】



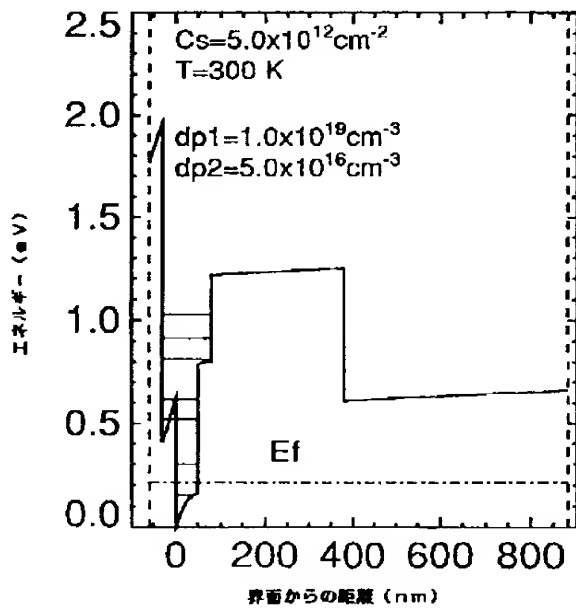
【図2】



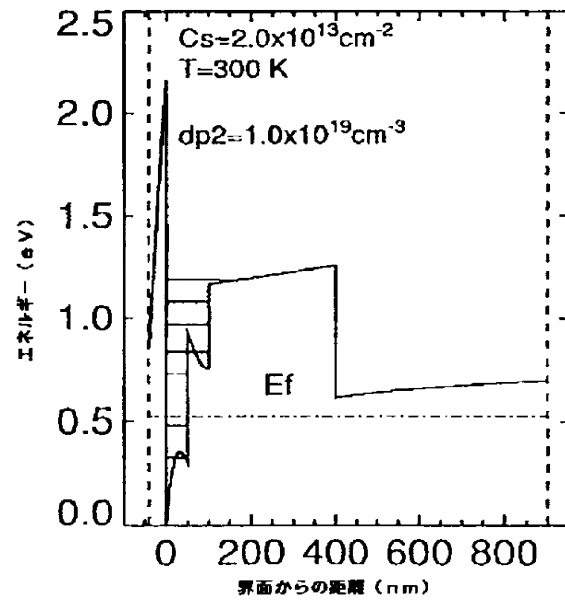
【図3】



【図4】



【図7】



ソース電極 10

ゲート電極 9

ドレイン電極 11

A

B

d1

d2

5 アンダーブGaInN層

4 アンダーブAlGaInN層

3 (n) n型AlGaInN層

2 AlGaInN層

1 AlGaInN層

A cross-sectional view of a semiconductor device. The device consists of a substrate with multiple layers labeled 101 through 109. Layer 101 is the bottom-most layer with a diagonal hatching pattern. Layer 102 is a thin white layer above 101. Layer 103 is a thicker white layer above 102. Layer 104 is a layer with a diagonal hatching pattern above 103. Layer 105 is a thin white layer above 104. Layer 106 is a thin white layer above 105. Layer 107 is a thin white layer above 106. Layer 108 is a thicker white layer above 107. Layer 109 is the top-most layer with a diagonal hatching pattern above 108. On top of layer 109, there are three gate structures labeled 110, 111, and 112. Gate 110 is a central rectangular gate. Gate 111 is a rectangular gate to the left of 110. Gate 112 is a rectangular gate to the right of 110. The gates 110, 111, and 112 are shown as white rectangles with black outlines.

【図8】

